

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC903 U.S. PTO  
09/893791  
06/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 7月 4日

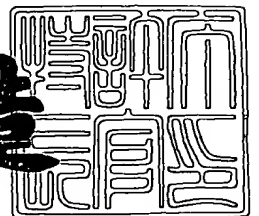
出 願 番 号  
Application Number: 特願2000-202690

出 願 人  
Applicant (s): 日本電気株式会社

2001年 3月30日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3024444

【書類名】 特許願

【整理番号】 40410446

【提出日】 平成12年 7月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 小林 豊

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100104916

【弁理士】

【氏名又は名称】 古溝 聡

【選任した代理人】

【識別番号】 100095407

【弁理士】

【氏名又は名称】 木村 満

【手数料の表示】

【予納台帳番号】 073679

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715824

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体チップと、

一方の面に前記半導体チップを搭載し、前記半導体チップと電氣的に接続された第 1 の導電性パッドが他方の面に形成されている半導体搭載用基板と、

前記第 1 の導電性パッド上に形成された半田ボールと、

前記半田ボールに接続された第 2 の導電性パッドが形成されている実装基板と

前記半導体搭載用基板と前記実装基板との間を埋めるように注入されたアンダーフィル材と、

を備える半導体装置において、

少なくとも前記半導体搭載用基板と前記実装基板とのどちらか一方の、アンダーフィル材と接している面に凹凸が形成されていることを特徴とする半導体装置

【請求項 2】

前記凹凸は、第 1 の導電性パッド上又は第 2 の導電性パッド上に選択的に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記凹凸は、スリット状又はディンプル状であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

半導体チップと、

前記半導体チップを搭載し、前記半導体チップと電氣的に接続されたリードフレームと、

前記リードフレームが接続された第 3 の導電性パッドが形成されている実装基板と、

を備える半導体装置において、

少なくとも前記リードフレームと前記導電性パッドとのどちらか一方の、前記導電性パッド又は前記リードフレームとの接合部に凹凸が形成されていることを特徴とする半導体装置。

【請求項 5】

半導体搭載用基板の一方の面に第 4 の導電性パッドを形成する工程と、  
前記半導体搭載用基板の一方の面に凹凸を形成する第 1 の凹凸形成工程と、  
前記半導体搭載用基板の他方の面に半導体チップを搭載し、前記半導体チップと前記第 4 の導電性パッドとを電氣的に接続する工程と、  
前記半導体チップと電氣的に接続された前記第 4 の導電性パッド上に半田ボールを形成する工程と、  
第 4 の導電性パッド上に形成された前記半田ボールと、実装基板上に形成されている第 5 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記半導体搭載用基板を前記実装基板に実装する工程と、  
前記半導体チップを搭載した前記半導体搭載用基板と前記実装基板との間にアンダーフィル材を注入する工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項 6】

前記第 1 の凹凸形成工程は、第 4 の導電性パッドの表面に選択的に凹凸を形成する工程を備えることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

半導体搭載用基板の一方の面に第 6 の導電性パッドを形成する工程と、  
前記半導体搭載用基板の他方の面に半導体チップを搭載し、前記半導体チップと前記第 6 の導電性パッドとを電氣的に接続する工程と、  
前記半導体チップと電氣的に接続された前記第 6 の導電性パッド上に半田ボールを形成する工程と、  
第 7 の導電性パッドが形成されている実装基板の表面に凹凸を形成する第 2 の凹凸形成工程と、  
第 6 の導電性パッド上に形成された前記半田ボールと、実装基板上に形成されている第 7 の導電性パッドとを接続することにより、前記半導体チップを搭載し

た前記半導体搭載用基板を前記実装基板に実装する工程と、

前記半導体チップを搭載した前記半導体搭載用基板と前記実装基板との間にアンダーフィル材を注入する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 8】

前記第 2 の凹凸形成工程は、第 7 の導電性パッドの表面に選択的に凹凸を形成する工程を備えることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

半導体搭載用基板の一方の面に第 8 の導電性パッドを形成する工程と、

前記半導体搭載用基板の一方の面に凹凸を形成する第 3 の凹凸形成工程と、

前記半導体搭載用基板の他方の面に半導体チップを搭載し、前記半導体チップと前記第 8 の導電性パッドとを電氣的に接続する工程と、

前記半導体チップと電氣的に接続された前記第 8 の導電性パッド上に半田ボールを形成する工程と、

第 9 の導電性パッドが形成されている実装基板の表面に凹凸を形成する第 4 の凹凸形成工程と、

第 8 の導電性パッド上に形成された前記半田ボールと、実装基板上に形成されている第 9 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記半導体搭載用基板を前記実装基板に実装する工程と、

前記半導体チップを搭載した前記半導体搭載用基板と前記実装基板との間にアンダーフィル材を注入する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 10】

前記第 3 の凹凸形成工程は、第 8 の導電性パッドの表面に選択的に凹凸を形成する工程を備え、

前記第 4 の凹凸形成工程は、第 9 の導電性パッドの表面に選択的に凹凸を形成する工程を備える、

ことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

リードフレームに凹凸部を形成する工程と、  
前記リードフレーム上に半導体チップを搭載し、前記半導体チップと前記リードフレームとを電氣的に接続する工程と、  
前記リードフレームの凹凸部と、実装基板上に形成されている第 1 0 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記リードフレームを前記実装基板に実装する工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項 1 2】

リードフレーム上に半導体チップを搭載し、前記半導体チップと前記リードフレームとを電氣的に接続する工程と、  
実装基板上に形成されている第 1 1 の導電性パッドの表面に凹凸を形成する工程と、  
前記リードフレームと、凹凸が形成された前記第 1 1 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記リードフレームを前記実装基板に実装する工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項 1 3】

リードフレームに凹凸部を形成する工程と、  
リードフレーム上に半導体チップを搭載し、前記半導体チップと前記リードフレームとを電氣的に接続する工程と、  
実装基板上に形成されている第 1 2 の導電性パッドの表面に凹凸を形成する工程と、  
前記リードフレームの凹凸部と、凹凸が形成された前記第 1 2 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記リードフレームを前記実装基板に実装する工程と、  
を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、半導体チップを回路基板に実装した半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

電子機器の高機能化、薄型化に伴い、電子部品の高密度集積化、高密度実装化が進んできている。そのため、これらの電子機器に使用される半導体パッケージの小型化、多ピン化が図られている。このような小型化、多ピン化に伴い、半導体パッケージには、ボールグリッドアレイパッケージ (Ball Grid Array Package: BGA)、チップスケールパッケージ (Chip Scale Package: CSP)、半導体ベアパッケージ (Flip Chip Package: FC) といったエリアアレイ型のパッケージ方式が用いられている。

【 0 0 0 3 】

これらのパッケージ構造の代表的な例を図 9 に示す。図 9 に示すパッケージは、半導体チップ 1 0 0 がワイヤボンディングにより搭載された半導体搭載用基板 (プラスチックやセラミックス、ポリイミド等の絶縁基板 1 0 1 と導体配線 1 0 2 で構成される基板) 1 0 3 が、CSP により実装基板 1 0 4 に実装されている。

【 0 0 0 4 】

このような構造のパッケージでは、半導体搭載用基板 1 0 3 と実装基板 1 0 4 との熱膨張係数の違いによる応力、及び、落下等による衝撃を吸収し、半田接合部の接続信頼性を確保する目的で、半導体搭載用基板 1 0 3 と実装基板 1 0 4 との間にアンダーフィル材 1 0 5 が充填されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、アンダーフィル材 1 0 5 に異物等が混入していたり、長期にわたり衝撃が加わったりすると、アンダーフィル材 1 0 5 の密着力は低下し、半導体搭載用基板 1 0 3 又は実装基板 1 0 4 の表面からアンダーフィル材 1 0 5 が剥離 (乖離) することがある。

【 0 0 0 6 】

アンダーフィル材 1 0 5 が剥離すると、半田ボール 1 0 6 の接合部分に応力が集中するため、半田ボール 1 0 6 と、半導体搭載用基板 1 0 3 及び実装基板 1 0 4 にそれぞれ形成されているパッド 1 0 7, 1 0 8 との間にクラックが生じ、接続部が断線してしまう。このように、アンダーフィル材 1 0 5 の密着力が低下することにより、半導体装置の動作信頼性は大きく低下する。

## 【 0 0 0 7 】

半導体搭載用基板と実装基板との密着強度を高める方法として、特開昭 6 3 - 9 4 6 4 6 号公報に、半導体搭載用基板の所定部、及び、半導体チップを封止している封止樹脂に凹凸を形成した電子装置についての記載がある。前記公報の電子装置は、半導体搭載用基板と、半導体チップを覆っている封止樹脂とに凹凸を設け、半導体チップが搭載された半導体搭載用基板を実装基板の凹部に埋め込んだ装置である。よって、前記公報に記載の技術は、エリアアレイ型のパッケージに用いることはできない。

## 【 0 0 0 8 】

また、特許第 2 9 7 3 9 8 8 号公報に、パッドに凹凸を形成することにより、ボンディングワイヤの破断を防止した半導体装置についての記載があるが、前記公報に記載の技術は、アンダーフィル材の剥離を防止したものではない。

## 【 0 0 0 9 】

また、リードフレームに搭載された半導体チップを実装基板に実装した半導体装置では、リードフレームと実装基板のパッドとの線膨張係数（熱膨張係数）が異なるため、冷熱の衝撃によりリードフレームと実装基板との接合部が乖離することがある。

## 【 0 0 1 0 】

本発明は、上記問題点を解決するためになされたものであり、半導体搭載用基板又はリードフレームと実装基板との密着力が高い半導体装置及びその製造方法を提供することを目的とする。

## 【 0 0 1 1 】

また、本発明は、回路動作の信頼性が高い半導体装置及びその製造方法を提供することを目的とする。



【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するため、本発明の第 1 の観点に係る半導体装置は、  
半導体チップと、

一方の面に前記半導体チップを搭載し、前記半導体チップと電氣的に接続された第 1 の導電性パッドが他方の面に形成されている半導体搭載用基板と、

前記第 1 の導電性パッド上に形成された半田ボールと、

前記半田ボールに接続された第 2 の導電性パッドが形成されている実装基板と

、  
前記半導体搭載用基板と前記実装基板との間を埋めるように注入されたアンダーフィル材と、

を備える半導体装置において、

少なくとも前記半導体搭載用基板と前記実装基板とのどちらか一方の、アンダーフィル材と接している面に凹凸が形成されていることを特徴とする。

【 0 0 1 3 】

上記構成とすることにより、半導体搭載用基板とアンダーフィル材との接続面積が大きくなるため、半導体搭載用基板とアンダーフィル材の密着力が高くなる。よって、半導体搭載用基板からアンダーフィル材が剥がれにくくなり、半導体搭載用基板と実装基板との密着力は高まる。また、半導体搭載用基板と実装基板との密着力が高まることから、半田ボールとパッドとの間に断線が生じにくくなる。従って、回路動作の信頼性が高い半導体装置が得られる。

【 0 0 1 4 】

前記凹凸は、第 1 の導電性パッド上又は第 2 の導電性パッド上に選択的に形成されていてもよい。

【 0 0 1 5 】

また、前記凹凸は、スリット状又はディンプル状であってもよい。

【 0 0 1 6 】

また、本発明の第 2 の観点に係る半導体装置は、  
半導体チップと、

前記半導体チップを搭載し、前記半導体チップと電氣的に接続されたリードフレームと、

前記リードフレームが接続された第 3 の導電性パッドが形成されている実装基板と、

を備える半導体装置において、

少なくとも前記リードフレームと前記導電性パッドとのどちらか一方の、前記導電性パッド又は前記リードフレームとの接合部に凹凸が形成されていることを特徴とする。

【 0 0 1 7 】

上記構成とすることにより、リードフレームと実装基板との接合部の接続面積が大きくなるため、リードフレームと実装基板とが剥がれにくくなり、リードフレームと実装基板との密着力は高まる。また、リードフレームと実装基板との密着力が高まることから、リードフレームと実装基板との接合部に断線が生じにくくなる。従って、回路動作の信頼性が高い半導体装置が得られる。

【 0 0 1 8 】

また、本発明の第 3 の観点に係る半導体装置の製造方法は、

半導体搭載用基板の一方の面に第 4 の導電性パッドを形成する工程と、

前記半導体搭載用基板の一方の面に凹凸を形成する第 1 の凹凸形成工程と、

前記半導体搭載用基板の他方の面に半導体チップを搭載し、前記半導体チップと前記第 4 の導電性パッドとを電氣的に接続する工程と、

前記半導体チップと電氣的に接続された前記第 4 の導電性パッド上に半田ボールを形成する工程と、

第 4 の導電性パッド上に形成された前記半田ボールと、実装基板上に形成されている第 5 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記半導体搭載用基板を前記実装基板に実装する工程と、

前記半導体チップを搭載した前記半導体搭載用基板と前記実装基板との間にアンダーフィル材を注入する工程と、

を備えることを特徴とする。

【 0 0 1 9 】

上記構成とすることにより、半導体搭載用基板とアンダーフィル材との接続面積が大きくなるため、半導体搭載用基板とアンダーフィル材の密着力が高くなる。よって、半導体搭載用基板からアンダーフィル材が剥がれにくくなり、半導体搭載用基板と実装基板との密着力は高まる。また、半導体搭載用基板と実装基板との密着力が高まることから、半田ボールとパッドとの間に断線が生じにくくなる。従って、回路動作の信頼性が高い半導体装置が得られる。

#### 【0020】

前記第1の凹凸形成工程は、第4の導電性パッドの表面に選択的に凹凸を形成する工程を備えてもよい。

#### 【0021】

また、本発明の第4の観点に係る半導体装置の製造方法は、  
半導体搭載用基板の一方の面に第6の導電性パッドを形成する工程と、  
前記半導体搭載用基板の他方の面に半導体チップを搭載し、前記半導体チップと前記第6の導電性パッドとを電気的に接続する工程と、  
前記半導体チップと電気的に接続された前記第6の導電性パッド上に半田ボールを形成する工程と、  
第7の導電性パッドが形成されている実装基板の表面に凹凸を形成する第2の凹凸形成工程と、  
第6の導電性パッド上に形成された前記半田ボールと、実装基板上に形成されている第7の導電性パッドとを接続することにより、前記半導体チップを搭載した前記半導体搭載用基板を前記実装基板に実装する工程と、  
前記半導体チップを搭載した前記半導体搭載用基板と前記実装基板との間にアンダーフィル材を注入する工程と、  
を備えることを特徴とする。

#### 【0022】

上記構成とすることにより、実装基板とアンダーフィル材との接続面積が大きくなるため、実装基板とアンダーフィル材の密着力が高くなる。よって、実装基板からアンダーフィル材が剥がれにくくなり、半導体搭載用基板と実装基板との密着力は高まる。また、半導体搭載用基板と実装基板との密着力が高まることから

ら、半田ボールとパッドとの間に断線が生じにくくなる。従って、回路動作の信頼性が高い半導体装置が得られる。

【 0 0 2 3 】

前記第 2 の凹凸形成工程は、第 7 の導電性パッドの表面に選択的に凹凸を形成する工程を備えてもよい。

【 0 0 2 4 】

また、本発明の第 5 の観点に係る半導体装置の製造方法は、  
半導体搭載用基板の一方の面に第 8 の導電性パッドを形成する工程と、  
前記半導体搭載用基板の一方の面に凹凸を形成する第 3 の凹凸形成工程と、  
前記半導体搭載用基板の他方の面に半導体チップを搭載し、前記半導体チップと前記第 8 の導電性パッドとを電氣的に接続する工程と、

前記半導体チップと電氣的に接続された前記第 8 の導電性パッド上に半田ボールを形成する工程と、

第 9 の導電性パッドが形成されている実装基板の表面に凹凸を形成する第 4 の凹凸形成工程と、

第 8 の導電性パッド上に形成された前記半田ボールと、実装基板上に形成されている第 9 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記半導体搭載用基板を前記実装基板に実装する工程と、

前記半導体チップを搭載した前記半導体搭載用基板と前記実装基板との間にアンダーフィル材を注入する工程と、  
を備えることを特徴とする。

【 0 0 2 5 】

上記構成とすることにより、半導体搭載用基板及び実装基板とアンダーフィル材との接続面積が大きくなるため、半導体搭載用基板及び実装基板とアンダーフィル材の密着力が高くなる。よって、半導体搭載用基板及び実装基板からアンダーフィル材が剥がれにくくなり、半導体搭載用基板と実装基板との密着力は高まる。また、半導体搭載用基板と実装基板との密着力が高まることから、半田ボールとパッドとの間に断線が生じにくくなる。従って、回路動作の信頼性が高い半導体装置が得られる。

## 【 0 0 2 6 】

前記第 3 の凹凸形成工程は、第 8 の導電性パッドの表面に選択的に凹凸を形成する工程を備え、

前記第 4 の凹凸形成工程は、第 9 の導電性パッドの表面に選択的に凹凸を形成する工程を備えてもよい。

## 【 0 0 2 7 】

また、本発明の第 6 の観点に係る半導体装置の製造方法は、

リードフレームに凹凸部を形成する工程と、

前記リードフレーム上に半導体チップを搭載し、前記半導体チップと前記リードフレームとを電気的に接続する工程と、

前記リードフレームの凹凸部と、実装基板上に形成されている第 1 0 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記リードフレームを前記実装基板に実装する工程と、

を備えることを特徴とする。

## 【 0 0 2 8 】

上記構成とすることにより、リードフレームと実装基板との接合部の接続面積が大きくなるため、リードフレームと実装基板とが剥がれにくくなり、リードフレームと実装基板との密着力は高まる。また、リードフレームと実装基板との密着力が高まることから、リードフレームと実装基板との接合部に断線が生じにくくなる。従って、回路動作の信頼性が高い半導体装置が得られる。

## 【 0 0 2 9 】

また、本発明の 7 の観点に係る半導体装置の製造方法は、

リードフレーム上に半導体チップを搭載し、前記半導体チップと前記リードフレームとを電気的に接続する工程と、

実装基板上に形成されている第 1 1 の導電性パッドの表面に凹凸を形成する工程と、

前記リードフレームと、凹凸が形成された前記第 1 1 の導電性パッドとを接続することにより、前記半導体チップを搭載した前記リードフレームを前記実装基板に実装する工程と、

を備えることを特徴とする。

【0030】

また、本発明の8の観点に係る半導体装置の製造方法は、  
リードフレームに凹凸部を形成する工程と、  
リードフレーム上に半導体チップを搭載し、前記半導体チップと前記リードフレームとを電氣的に接続する工程と、

実装基板上に形成されている第12の導電性パッドの表面に凹凸を形成する工程と、

前記リードフレームの凹凸部と、凹凸が形成された前記第12の導電性パッドとを接続することにより、前記半導体チップを搭載した前記リードフレームを前記実装基板に実装する工程と、  
を備えることを特徴とする。

【0031】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を用いて説明する。

【0032】

(第1の実施の形態)

第1の実施の形態の半導体装置は、図1(d)に示すように、CSP(Chip Scale Package)を用いて半導体チップをパッケージしたものであり、半導体搭載用基板10と、半導体チップ20と、実装基板30とを備える。

【0033】

半導体搭載用基板10は、周縁部に複数のスルーホール12が形成された単層のガラスエポキシ基板11と、ガラスエポキシ基板11の一方の面に形成されたランド13と、ガラスエポキシ基板11のもう一方の面に形成され、スルーホール12を介してランド13と接続された銅配線(パッド)14と、銅配線14上に形成された半田ボール24とを備える。銅配線14上及びランド13上にはソルダーレジスト15が形成されている。また、銅配線14上に形成されているソルダーレジスト15の表面には凹凸が形成されている。

【0034】

半導体チップ 2 0 は、半導体搭載用基板 1 0 の中央部にダイボンド材 1 6 により接着されており、半導体チップ 2 0 上に形成されているパッド（図示しない）とランド 1 3 とが金線（ボンディングワイヤ） 2 1 により接続されている。また、半導体チップ 2 0、金線 2 1、ランド 1 3 は封止樹脂 2 2 により封止されている。

#### 【 0 0 3 5 】

実装基板 3 0 の半導体搭載用基板 1 0 と対向する面には、パッド 3 1 が形成されており、パッド 3 1 は半田ボール 2 4 に接続されている。

#### 【 0 0 3 6 】

半導体搭載用基板 1 0 と実装基板 3 0 との間には、アンダーフィル材 3 2 が充填されている。

#### 【 0 0 3 7 】

上記半導体装置を製造する方法を以下に示す。

#### 【 0 0 3 8 】

まず、図 1（a）に示すように、ガラスエポキシ基板 1 1 の周縁部に、フォトリソグラフィやレーザ等を用いてスルーホール 1 2 を形成する。次に、スルーホール 1 2 内を含むガラスエポキシ基板 1 1 の両面に銅膜を形成する。次いで、銅膜をエッチングして、ガラスエポキシ基板 1 1 の一方の面にランド 1 3 を形成し、もう一方の面に銅配線 1 4 を形成する。ランド 1 3 及び銅配線 1 4 を形成後、スルーホール 1 2 内を含むガラスエポキシ基板 1 1 の両面にソルダーレジスト 1 5 を形成する。ソルダーレジスト 1 5 形成を後、ランド 1 3 上のソルダーレジスト 1 5 をエッチング除去し、ダイボンド材 1 6 を用いて半導体チップ 2 0 をガラスエポキシ基板 1 1 の中心部に接着する。続いて、半導体チップ 2 0 上に形成されているパッドと、ランド 1 3 とを金線 2 1 で接続する。その後、半導体チップ 2 0、金線 2 1、ランド 1 3 を封止樹脂 2 2 を用いて封止する。

#### 【 0 0 3 9 】

次に、図 1（b）に示すように、銅配線 1 4 上に形成されているソルダーレジスト 1 5 をバフブラシ等を用いて機械的に研磨し、粗化する。これにより、半導体搭載用基板 1 0 の表面に凹凸が形成される。その後、半導体搭載用基板 1 0 の

表面を洗浄液を用いて洗浄する。

【 0 0 4 0 】

次に、銅配線 1 4 上に半田ボール 2 4 を形成するため、図 1 (c) に示すように、ソルダーレジスト 1 5 をエッチングし、銅配線 1 4 に通じるコンタクトホール 2 3 を形成する。続いて、半田を銅配線 1 4 に熱圧着することにより、銅配線 1 4 に接続した半田ボール 2 4 を形成する。

【 0 0 4 1 】

次に、図 1 (d) に示すように、半導体搭載用基板 1 0 と実装基板 3 0 とを対向させ、半導体搭載用基板 1 0 の半田ボール 2 4 と、それに対応する実装基板 3 0 のパッド 3 1 との位置を正確に合わせ、リフロー処理を施し、実装基板 3 0 のパッド 3 1 に半田ボール 2 4 を接続する。

【 0 0 4 2 】

最後に、半導体搭載用基板 1 0 と実装基板 3 0 との間にアンダーフィル材 3 2 を注入し、硬化させる。

【 0 0 4 3 】

以上説明したように、半導体搭載用基板 1 0 の表面に凹凸を形成することにより、アンダーフィル材 3 2 との接触面積が増加するため、半導体搭載用基板 1 0 とアンダーフィル材 3 2 との密着力は高まる。よって、落下や曲げ、冷熱等の衝撃によるアンダーフィル材 3 2 の剥離を抑制することができる。従って、回路動作の信頼性が高い半導体装置が得られる。

【 0 0 4 4 】

上記実施の形態では、半導体搭載用基板 1 0 に、ガラスエポキシ基板 1 1 を用いたが、プラスチック基板、ポリイミドテープ基板、セラミック基板等、他の絶縁基板を用いることも可能である。また、上記実施の形態では、配線及びランドに銅、ワイヤボンディングに金線を用いたが、他の導電性物質を用いてもよい。

【 0 0 4 5 】

また、上記実施の形態では、ランド 1 3 及び銅配線 1 4 を形成後、ガラスエポキシ基板 1 1 の両面にソルダーレジスト 1 5 を形成し、その表面を粗化したが、ランド 1 3 の間や銅配線 1 4 の間を気密封止し、容易に粗化することができるも



のであれば、ソルダーレジストに限らない。

【 0 0 4 6 】

上記実施の形態では、単層の半導体搭載用基板 1 0 を用いたが、多層配線の半導体搭載用基板を用いてもよい。また、半導体チップ 2 0 を 2 個以上積み重ねて半導体搭載用基板 1 0 に搭載してもよい。

【 0 0 4 7 】

上記実施の形態では、C S P を用いたが、B G A (Ball Grid Array) や F C (Flip Chip) 等を用いてもよい。

【 0 0 4 8 】

上記実施の形態では、半導体搭載用基板 1 0 を機械的に研磨したが、ソフトエッチングにより化学的に研磨し、粗化することも可能である。

【 0 0 4 9 】

また、上記実施の形態では、半導体搭載用基板 1 0 を粗化したが、図 2 ( a ) に示すように、実装基板 3 0 を粗化してもよい。また、図 2 ( b ) に示すように、半導体搭載用基板 1 0 と実装基板 3 0 との両方を粗化してもよい。

【 0 0 5 0 】

さらに、半導体搭載用基板 1 0 の表面又は実装基板 3 0 の表面を単に粗化するのではなく、図 3 ( a ) , ( b ) に示すように、スリットやディンプルなどの形状に加工してもよい。

【 0 0 5 1 】

(第 2 の実施の形態)

次に、第 2 の実施の形態について図面を用いて説明する。

【 0 0 5 2 】

第 2 の実施の形態の半導体装置は、第 1 の実施の形態の半導体装置と実質的に同一であり、図 4 ( d ) に示すように、半導体搭載用基板 4 0 と、半導体チップ 5 0 と、実装基板 6 0 とを備える。但し、実装基板 6 0 に対向する半導体搭載用基板 4 0 の表面に凹凸は形成されておらず、銅配線 (パッド) 4 5 の表面 (半田ボール 5 3 との接合部) に凹凸が形成されている。

【 0 0 5 3 】

以下に、第2の実施の形態の半導体装置の製造方法について説明する。

【0054】

まず、図4（a）に示すように、ガラスエポキシ基板41の周縁部に、フォトリソグラフィやレーザ等を用いてスルーホール42を形成し、続いて、スルーホール42内を含むガラスエポキシ基板41の両面に銅膜43を形成する。次に、ガラスエポキシ基板41の一方の面（銅配線45を形成する面）に形成されている銅膜43の表面をバフブラシ等を用いて機械的に研磨し、粗化する。その後、粗化した銅膜の表面を洗浄液を用いて洗浄する。

【0055】

次に、銅膜43をエッチングして、図4（b）に示すように、ガラスエポキシ基板41の一方の面（銅膜43を粗化していない面）にランド44を形成し、もう一方の面（銅膜43を粗化した面）に銅配線45を形成する。続いて、コンタクトホール47内を含むガラスエポキシ基板41の両面にソルダーレジスト46を形成し、ランド44上及び銅配線45上のソルダーレジスト46をエッチングして、銅配線45に通じるコンタクトホール47を形成する。これにより、粗化された銅配線45の表面が露出する。

【0056】

次に、図4（c）に示すように、ダイボンド材48を用いて半導体チップ50をガラスエポキシ基板41の中心部に接着する。続いて、半導体チップ50上に形成されているパッドと、ランド44とを金線51で接続し、半導体チップ50、金線51、ランド44を封止樹脂52を用いて封止する。その後、半田を銅配線45に熱圧着することにより、表面が粗化された銅配線45に接続した半田ボール53を形成する。

【0057】

次に、図4（d）に示すように、半導体チップ50が搭載された半導体搭載用基板40を実装基板60に実装するため、半導体搭載用基板40の半田ボール53と、それに対応する実装基板60のパッド61との位置合わせを行い、リフロー処理を施し、実装基板60のパッド61に半田ボール53を接続する。

【0058】

最後に、半導体搭載用基板 4 0 と実装基板 6 0 との間にアンダーフィル材 6 2 を注入し、硬化させる。

【 0 0 5 9 】

以上に説明したように、銅配線（パッド） 4 5 の表面に凹凸を形成することにより、半田ボール 5 3 との接触面積が増加するため、パッド 4 5 と半田ボール 5 3 との密着力は高まる。よって、落下や曲げ、冷熱等の衝撃によってパッド 4 5 と半田ボール 5 3 との間に生じるクラックを抑制することができる。従って、回路動作の信頼性が高い半導体装置が得られる。

【 0 0 6 0 】

上記実施の形態では、銅配線 4 5 を形成する前に、銅膜 4 3 の表面を粗化したが、銅配線 4 5 上にソルダーレジスト 4 6 を形成し、ソルダーレジスト 4 6 をエッチングして銅配線 4 5 の表面を露出すると共に、銅配線 4 5 の表面を粗化することも可能である。

【 0 0 6 1 】

上記実施の形態では、半導体搭載用基板 4 0 のパッド 4 5 に凹凸を形成したが、図 5（a）に示すように、実装基板 6 0 のパッド 6 1 に凹凸を形成してもよい。また、図 5（b）に示すように、半導体搭載用基板 4 0 及び実装基板 6 0 の両方のパッド 4 5， 6 1 に凹凸を形成してもよい。

【 0 0 6 2 】

（第 3 の実施の形態）

次に、第 3 の実施の形態について図面を用いて説明する。

【 0 0 6 3 】

第 3 の実施の形態の半導体装置は、図 8（b）に示すように、リードフレーム 7 0 と、半導体チップ 8 0 と、実装基板 9 0 とを備える。

【 0 0 6 4 】

リードフレーム 7 0 には、インナーリード 7 1 とアウターリード 7 2 とが形成されており、その中央部にダイボンダ材 7 3 を用いて半導体チップ 8 0 が接続されている。インナーリード 7 1 には、金メッキ（図示しない）が施されており、その金メッキが施されている部分と半導体チップ 8 0 上に形成されているパッド

81とが金線（ボンディングワイヤ）で接続されている。アウターリード72は、実装基板90のパッド91と接続しており、その接合面には凹凸が形成されている。

【0065】

以下に、第3の実施の形態の半導体装置の製造方法について説明する。

【0066】

まず、リードフレーム70のアウターリード形成予定領域の一方の面をバフブラシ等を用いて機械的に研磨し、粗化する。これにより、図6（b）に示すように、リードフレーム70の所定部に凹凸が形成される。続いて、金型等を用いてリードフレーム70を加工し、図6（a）に示すように、インナーリード71とアウターリード72を形成する。その後、インナーリード71の、半導体チップ80と電氣的に接続される領域に銀メッキを施す。

【0067】

次に、図7に示すように、ダイボンド材73を用いて半導体チップ80をリードフレーム70の中心部に接着し、さらに、半導体チップ80上に形成されているパッド81と、インナーリード71とを金線81で接続する。その後、半導体チップ80及び金線81を封止樹脂82を用いて封止する。

【0068】

次に、図8（a）に示すように、金型等を用いて、リードフレーム70の不要な部分を打ち抜き、アウターリード72の所定部分を曲げる。

【0069】

最後に、図8（b）に示すように、半導体チップ80が搭載されたリードフレーム70を実装基板90に実装するため、リードフレーム70と実装基板90との位置合わせを行い、熱圧着して、アウターリード72と実装基板90のパッド91とを接続する。

【0070】

以上説明したように、アウターリード72に凹凸を形成することにより、アウターリード72と実装基板90のパッド91との接触面積が広がるため、リードフレーム70と実装基板90との密着力は高まる。よって、落下や曲げ、冷熱

等の衝撃によってリードフレーム 7 0 と実装基板 9 0 との接合部に生じるクラックを抑制することができる。従って、回路動作の信頼性が高い半導体装置が得られる。

#### 【 0 0 7 1 】

上記実施の形態では、リードフレーム 7 0 の実装基板 9 0 との接合部を粗化したが、実装基板 9 0 のパッド 9 1 を粗化してもよい。また、リードフレーム 7 0 及びパッド 9 1 の両方を粗化してもよい。

#### 【 0 0 7 2 】

本発明の半導体装置及びその製造方法は、上記第 1 から第 3 の実施の形態に限定されるものではなく、上記実施の形態から種々の修正及び変更を施した半導体装置及びその製造方法も本発明の範囲に含まれる。

#### 【 0 0 7 3 】

##### 【発明の効果】

以上説明したように、本発明の半導体装置の製造方法を用いることにより、半導体搭載用基板又はリードフレームと実装基板との密着力が高い半導体装置が得られる。また、回路動作の信頼性が高い半導体装置が得られる。

##### 【図面の簡単な説明】

##### 【図 1】

第 1 の実施の形態の半導体装置の断面図である。

##### 【図 2】

第 1 の実施の形態の変形例の断面図である。

##### 【図 3】

第 1 の実施の形態の変形例の断面図である。

##### 【図 4】

第 2 の実施の形態の半導体装置の断面図である。

##### 【図 5】

第 2 の実施の形態の変形例の断面図である。

##### 【図 6】

(a) は、第 3 の実施の形態の半導体装置に用いられるリードフレームの平面

図であり、（b）は、第3の実施の形態の半導体装置に用いられるリードフレームの断面図である。

【図7】

第3の実施の形態の半導体装置の平面図である。

【図8】

第3の実施の形態の半導体装置の断面図である。

【図9】

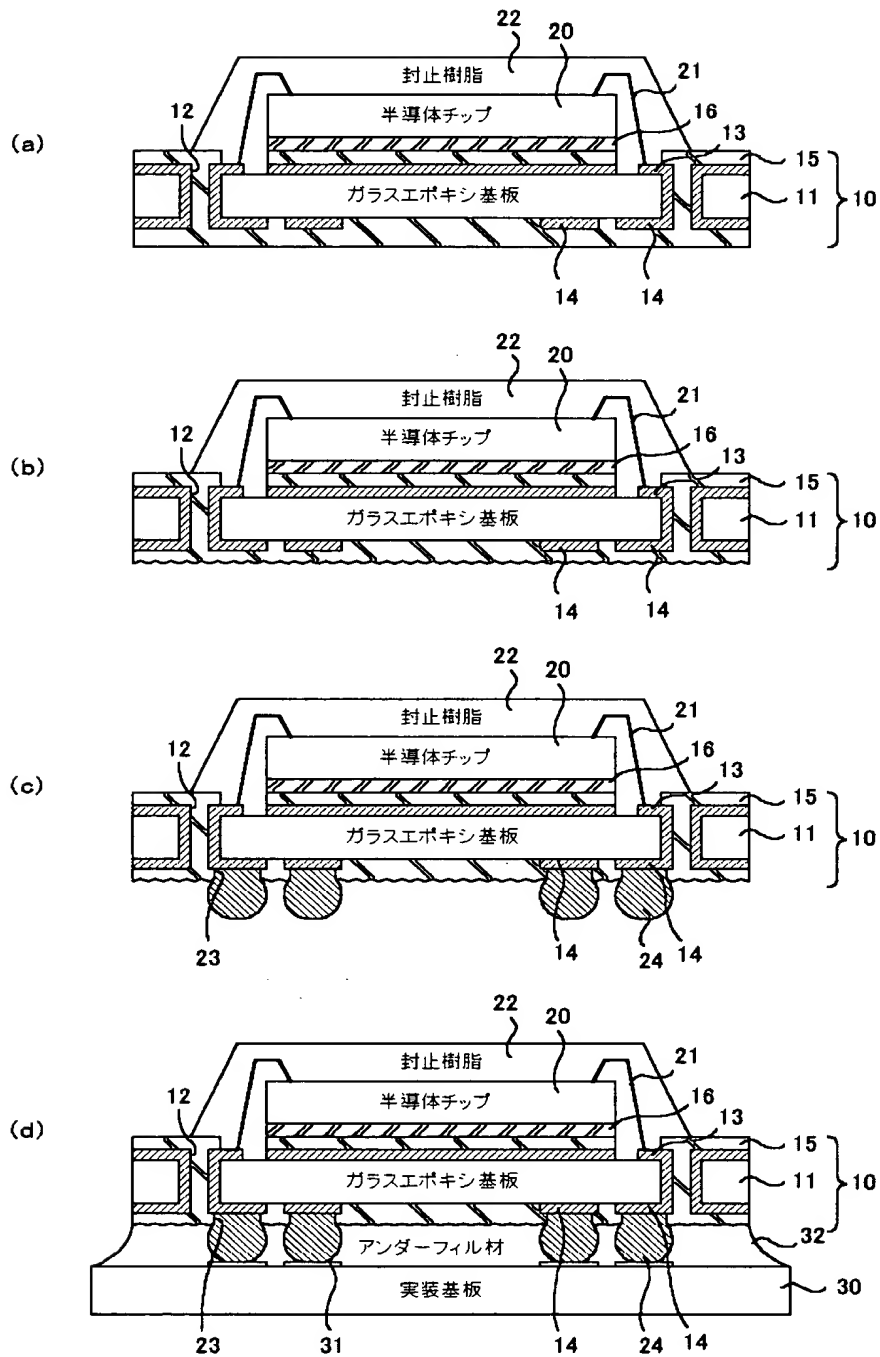
従来の半導体装置の断面図である。

【符号の説明】

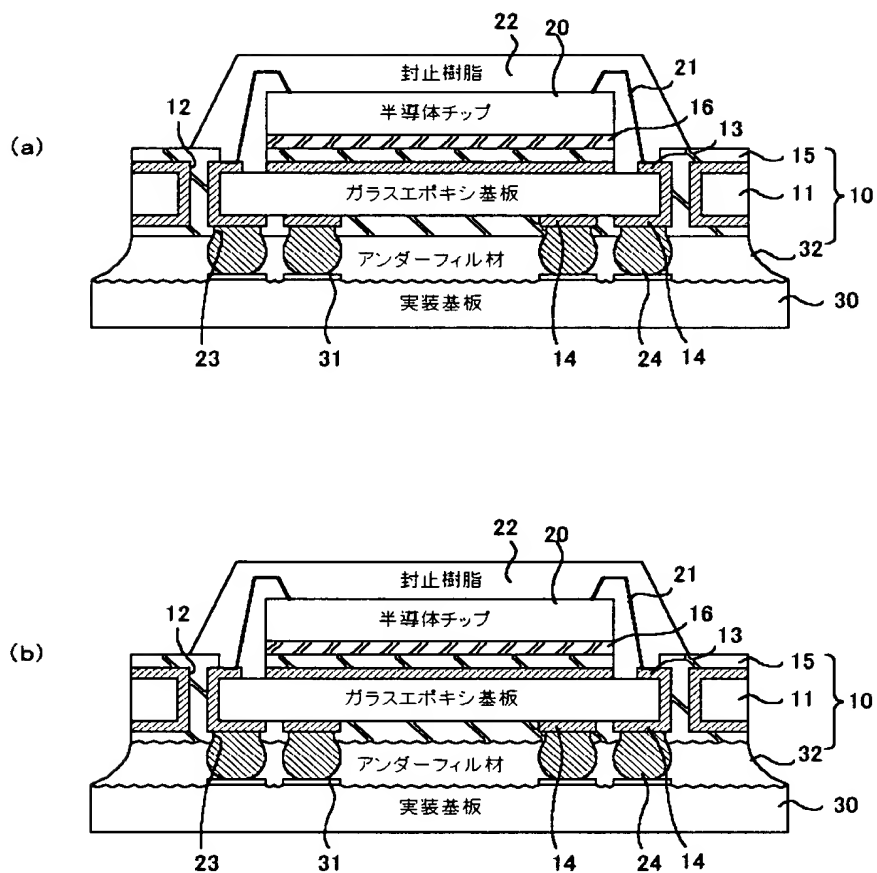
10, 40	半導体搭載用基板
11, 41	ガラスエポキシ基板
12, 42	スルーホール
23, 47	コンタクトホール
24, 53	半田ボール
13, 44	ランド
14, 45	銅配線（パッド）
15, 46	ソルダーレジスト
16, 48	ダイボンド材
20, 50, 80	半導体チップ
21, 51, 81	金線（ボンディングワイヤ）
22, 52, 82	封止樹脂
30, 60, 90	実装基板
31, 61, 91	パッド
32, 62	アンダーフィル材

【書類名】 図面

【図 1】

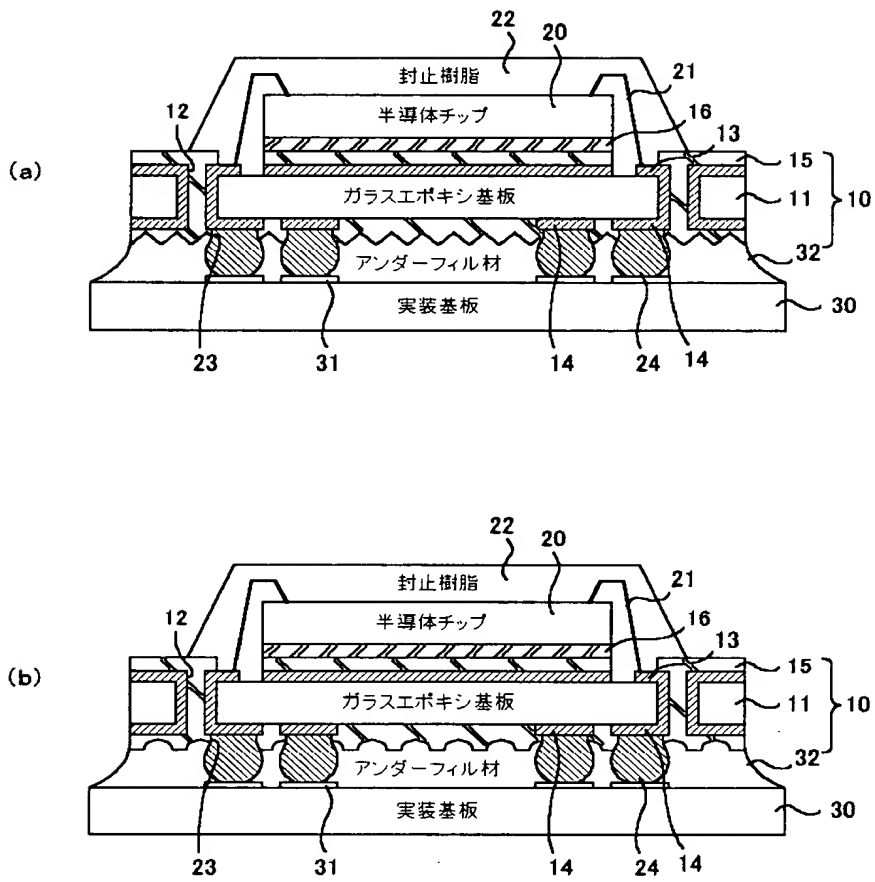


【図 2】

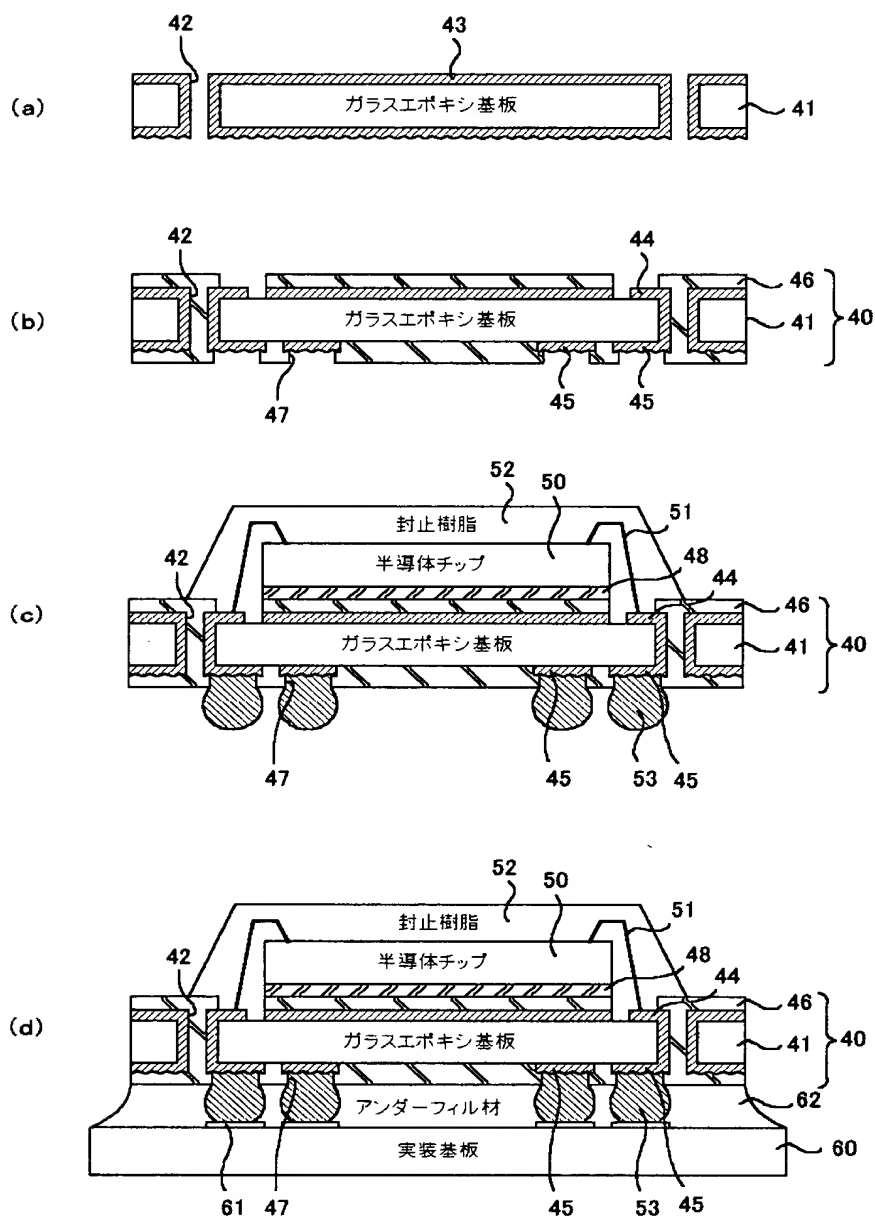




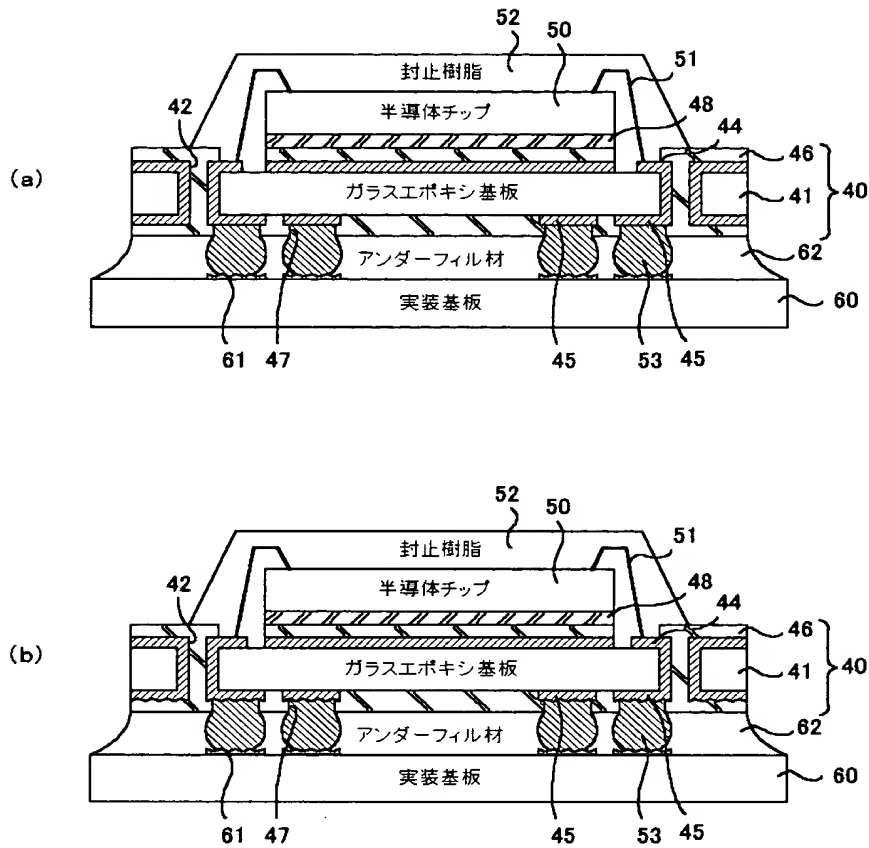
【図 3】



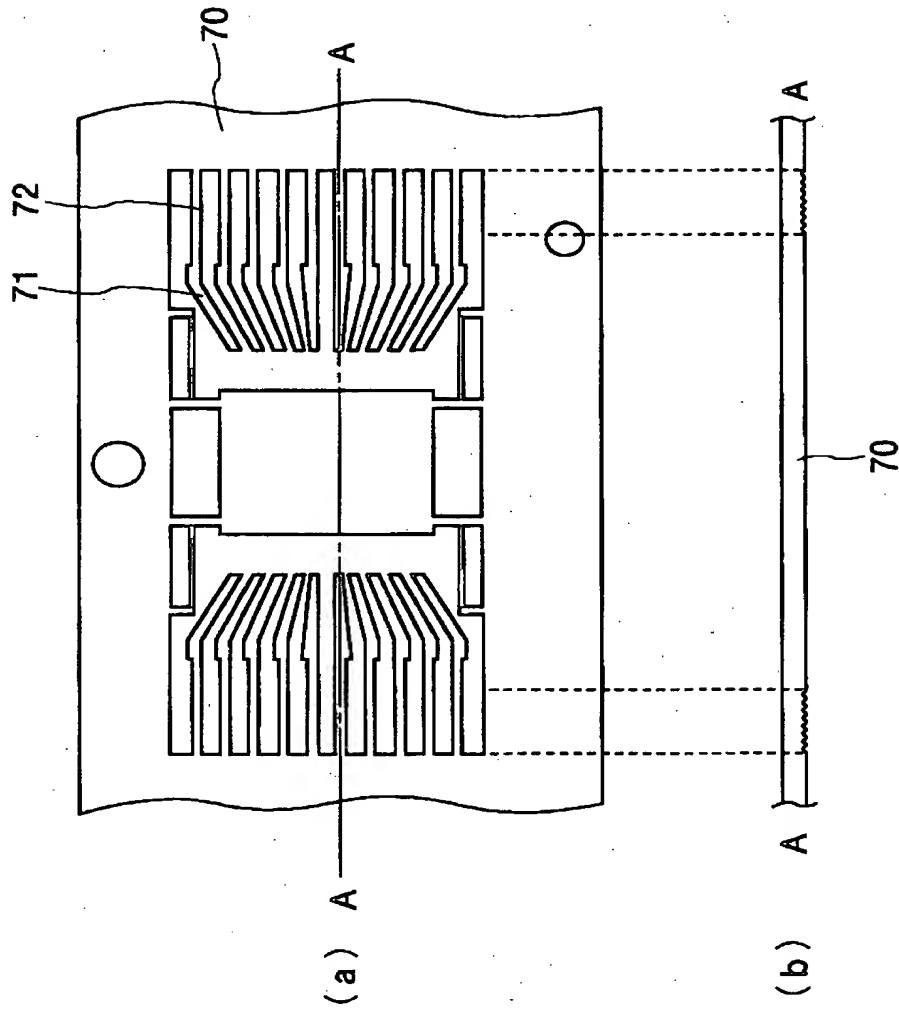
【図 4】



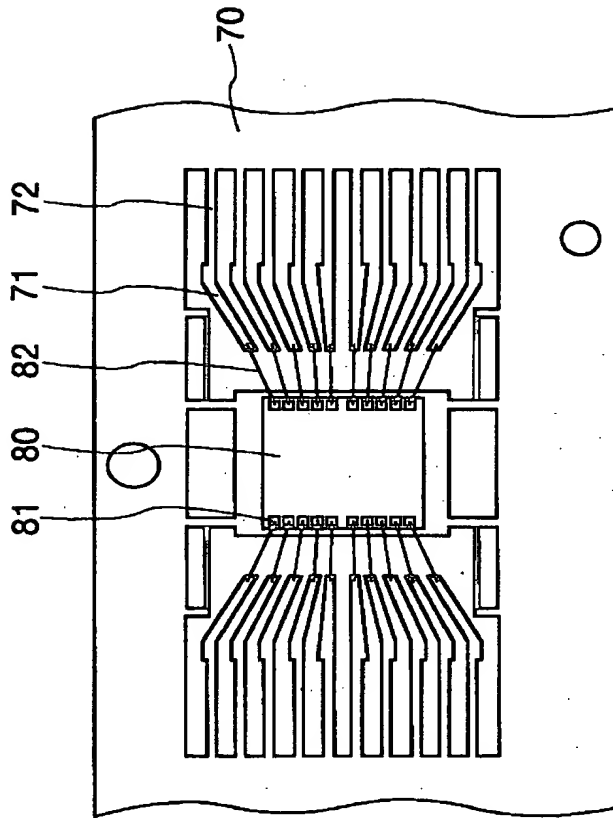
【図 5】



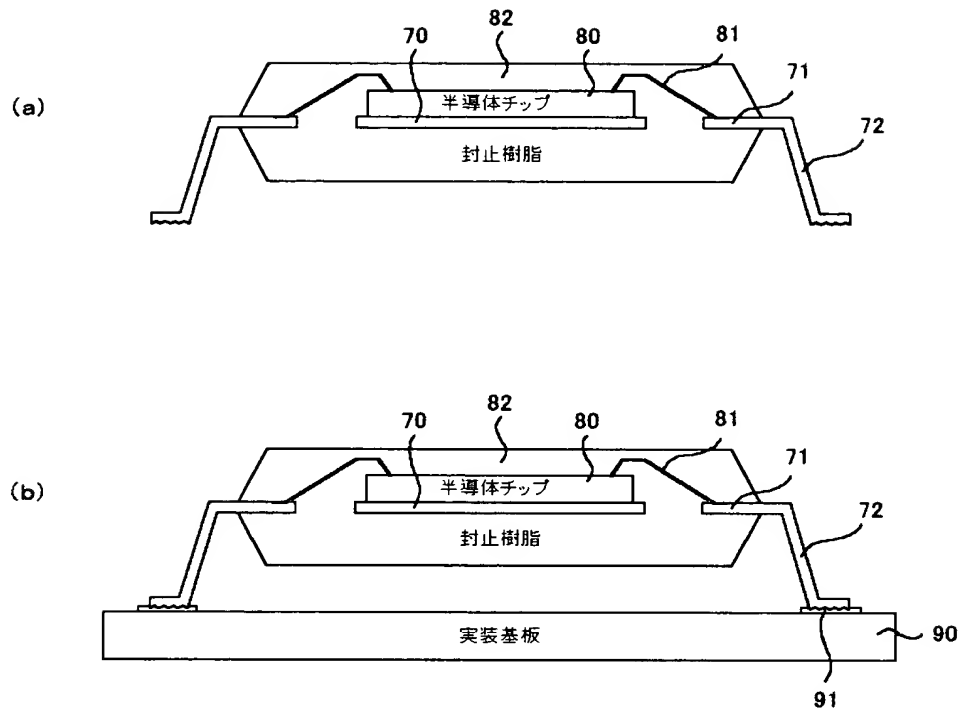
【図 6】



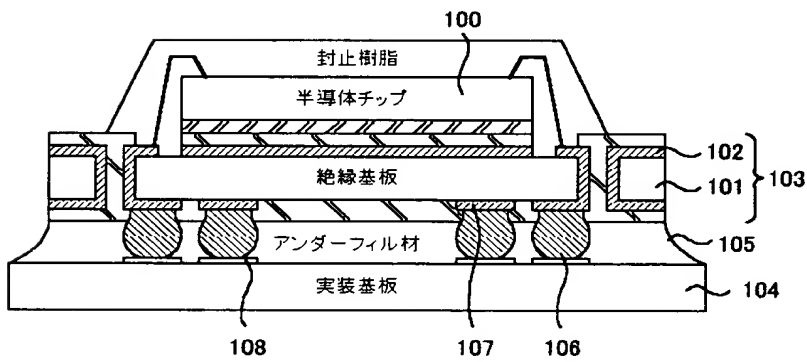
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 半導体搭載用基板と実装基板との密着力が高い半導体装置及びその製造方法を提供する。

【解決手段】 ガラスエポキシ基板 1 1 の表面にランド 1 3 と銅配線 1 4 とを有し、ランド 1 3 及び銅配線 1 4 上にソルダーレジスト 1 5 が形成されている半導体搭載用基板 1 0 の一面を粗化し、他面に半導体チップ 2 0 を搭載する。ソルダーレジスト 1 5 に銅配線 1 4 に通じるスルーホール 2 3 を形成し、表面が露出した銅配線 1 4 上に半田ボール 2 4 を形成する。半田ボール 2 4 を実装基板 3 0 のパッドに熱圧着し、半導体搭載用基板 1 0 と実装基板 3 0 との間にアンダーフィル材 3 2 を注入する。半導体搭載用基板 1 0 の表面は粗化されているため、アンダーフィル材 3 2 との接続面積は大きく、半導体搭載用基板 1 0 と実装基板 3 0 との密着力は高まる。

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社